DETAIL JAPANESE LEGAL STATUS

PATENT ABSTRACTS OF JAPAN

(11) Publication number:

2000-232075

(43) Date of publication of application : 22.08.2000

(51) Int. C1.

H01L 21/265

H01L 29/78

H01L 21/336

(21) Application number: 11-032784

(71) Applicant: OKI ELECTRIC IND CO LTD

(22) Date of filing:

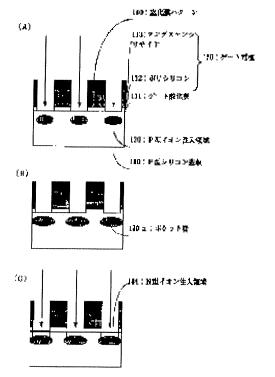
10.02.1999

(72) Inventor: SHINOHARA HIROBUMI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To permit formation of a MOS FET which reliably has a pocket layer, even when it becomes difficult to implant impurity ions from an oblique direction with respect to a silicon substrate, due to its miniaturization in steps of manufacturing a semiconductor device and in particular, a MOS FET having the pocket layer. SOLUTION: A gate oxide film 111, a gate electrode 150 made of a polysilicon film 112 and a tungsten silicide film 113, and a nitride film pattern 140 are selectively formed on a P-type silicon substrate 110, and then the P-type silicon substrate is subjected to vertical implantation of P-type impurity ions with respect to the substrate. Then a P-type ion implanted region 120 formed by the P-type ion implantation is diffused and activated, to form a pocket layer 120a prior to the formation of other ion-implanted regions.



特開2000-232075 (P2000-232075A)

平成12年8月22日(2000.8.22)

ナロナ・(学学) 5F040

建尼约克 110H 21/265 29/78 301P

(21) PTC

HOIL 21/265

21/338 29/78

新空間水 未避水 請求項の数4 OL (全 10 頁)

日曜田(22) (21) 出頭番号 **特闘平11-3278**4

平成11年2月10日(1999.210)

(71)出現人 00000295

東京都港区北ノ門1丁目7番12号 并是包工模块式企业

有限 有效 工業株式会社内 東京都路区地ノ門1丁目7番12号 神電気

(72) 発明者

(74) PCHI A 100089083

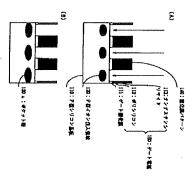
外理士 大西伯里

F ターム(多等) STO40 DODI E001 E004 E007 EC13 FAIS FAIS F302 F000 EMP2 EMP3 FA03 FA07 FA17 E-102 E-11 E-105 E-108 E-101

(54) 【発明の名称】 半導体装置の製造方法

FETを形成する。 程になった場合でも、確実にポケット層を有するMOS をシリコン基板に対して斜め方向から往入することが困 FETの製造工程において、微細化により不純物イオン 【目的】 半頃体装置、特にポケット層を有するMOS

質域120を他のイオン注入領域を形成する前に拡散さ せて活性化し、ポケット帰120gを形成する。 型の不純物イオン注入により形成されたP型イオン注入 P型シリコン基板に対して垂直に行う。そして、このP 40を選択的に形成した後、P型の不純物イオン注入を ド113からなるゲート配極150、強化原パターン1 11、ポリシリコン112およびタングステンシリサイ 【構成】 P型シリコン基板110上にゲート酸化版1





に積層形成する工程と、 ト絶謀認および族ゲート絶録談上にゲート電極を選択的 [請求項1] 第1導電型の半導体基体表面上に、ゲー

前記不純物を前記ゲート電極下のチャネル領域の所定期 に拡散させる工程と、 前記ゲート電極をマスクにして、第1 専砲型の不純物を 前記半導体基体表面より所定の深さに導入する工程と、

導電型の不純物を前記半導体張体表面より所定の深さに 前起拡散工程後、前記ゲート電極をマスクにして、第2

製造方法。 形成する工程とを有することを特徴とする半導体装置の せることにより、第2導動型のソースおよびドレインを 前記不純物を導入後、前記第2導館型の不純物を拡散さ

蘇出した表面を覆う外部拡散防止用膜を形成する工程を 第1導電型の不純物を導入した部分の前記半導体基体の 前記第1導程型の不純物を拡散させる工程の前に、前記 において、前記第1導館型の不純物を導入する工程後、 行うことを特徴とする半導体装置の製造方法。 【請求項2】 請求項1に記載の半導体装置の製造方法

温度まで上昇させて行うことを特徴とする半導体装置の 記第1導電型の不純物の外部拡散を防止可能な概厚にま で成長させた後、前記第1導館型の不植物が熟拡散する において、前記外部拡散防止用膜を形成する工程は、前 [請求項3] 請求項2に記載の半導体装置の製造方法

の前記所定部へ拡散させる工程後、 において、前記第1導電型の不純物を前記テャネル関域 【請求項4】 請求項1に記載の半導体装置の製造方法

挟まれた領域に、前記ソースと同一導塩型で、から前記 劇記ソースまたは前記ドレインと、前記チャネル領域に うことを特徴とする半導体装置の製造方法。 /一スに比して低濃度の不掉物質域を形成する工程を行

【発用の詳細な説明】

ット層を用いたMOSFETの製造方法に関するもので 【産業上の利用分野】この発明は半導体装置、特にポケ

[0002]

n) 層を有する構造がよく用いられている。しかし、 た領域に、低徴度から改扱合たソース・ドワインと同じ tor Field Effect Transistor) においては、ゲート長 る。そこで、ボケット層を有する構造を用いられること では短チャネル効果を抑制することは困難になってく ート長が0.25μm以下になってくると、LDD構造だに 導位型の不規物層であるLDD(Lightly Doped Drai するために、ソース・ドワインとチャネラ短張に挟また を紹小する上で問題となってくる短チャネル効果を抑制 【従来の技術】MOSFET (Metal Oxide Semiconduc

8

を形成した後、これらと同時に活性化させて形成する。 岐、例えばソース・ドレインとなるイオン注入質岐など により形成されたイオン注入質域を、他のイオン注入質 基板表面に対して斜め方向からイオン注入を行う。 これ 広がる部分に形成する必要がある。そのために、半導体 海地型の不能物を、動作時にチャネル関級下で変み層が [0003] ポケット窟は、ソース・ドレインと異なる [0004] 図7および8は従来のMOSFETの形成

【0005】まず図7 (A) に示すように、P型シリコ

るポケット層を有するMOSFETの形成プロセスを以 工程を示す断面工程図である。これを用いて従来におけ

40を選択的に形成する。それからP型シリコン基板4 人領域420を形成する。 10の装面に対して斜め方向から注入し、P型イオン注 て、図7(A)の矢印で示すようにP型シリコン基板4 膜バターン414およびゲート塩極450をマスクにし 10中に、P型の不能物イオン、例えばBF2*を、強化 3からなるゲート危機450、および蜜化版パターン4 1、ポリシリコン412とタングステンシリサイド41 これらの4層の膜をパターニングしてゲート数化膜41 ン基板410上に酸化版、ポリシリコン版、タングステ ンシリサイド設および蛮化膜を類に形成する。 それから

のために行うイオン注人のドーズ直の100分の1程度であ 基板410の表面に対して垂直に注入し、N型イオン注 は図7(C)におけるソース・ドレイン路423a形成 入腹液444を形成する。このイギン注入たのドーメ用 クにして、図7(B)の矢印で示すようにP型シリコン を蜜化膜パターン414およびゲート電極450をマス ン基板 4 1 0 中に、N型の不模物イオン、関えば A 5 t 【0006】 次に図7(B)に示すように、P型シリコ

II、N型の不堪物イオン、宛えばAsfをサイドウォー 注入し、N型イオン注入領域423を形成する。 にして、P型シリロン馬板410の安価に対して強道に ルスペーサ441および強化版パターン440をレスク 1を選択的に形成し、次にP型シリコン基板410中 1の国際に強化数からなるサイドウォールスペーサ54 450、強化模パターン440およびゲート酸化膜41 [0007] 次に図7 (C) に示すように、ゲート的時

ら全面にSiO2などの絶縁性の層間数415を形成 し、ソース・ドワイン頭423aの土壌にコンタクト共 からはソース・ドレイン图423gを形成する。 それか からしDD層444a套、そしたイオン狂入国版423 20からポケット慰420gを、イオン注入収收444 44、423をそれぞれ活性化させ、イオン注入回旋4 ことで、今までに形成した各イオン注入銅版420、4 【0008】 次に図8 (A) に示すように熱処理を行う

ール430を関ロさせる。

が多くなってまた。

特開平12-232075

したボケット陥や形成したいた。 国域下で空と目が広がる部分にイオン住入国域を形成 して斜め方向からイオン注入を行い、動作時にチャネル 束のボケット層の形成工程では、シリコン基板安面に対 **【発明が解決しようとする課題】以上に述べたように従** その後、このイオン往入領域を活性化することによ

分にまて形成されなくなる。つまり、ボケット層を形成 い、シャドー効果が現れはじめる。こうなるとイオン注 四のゲート低極の格に思れて不慎物イオンが注入されな 廿の国籍がゲートの後の塔さに共べて狭くなり、シリコ てしまい、デバイス特性を劣化させてしまう。 えばソース・ドレインとなるイオン注入圏が拡張しすぎ 後に、イオン注入層を拡散する時間を長くして、ポケッ することができなくなる。一方、全イオン注入領域形成 ルが例えば0.18μm以下になってくると、ゲート低極同 ト四を形成する方法を用いると、他のイオン注入因、例 入田域が、動作時にチャネル包域下で空と回が広がる部 ン基板安面に対して斜め方向からイオン注入を行うと、 [0011] しかしながら、微質化が遊みアザインター

囚においても、ボケット層を確実に形成できる半導体装 四の製造方法を提供することにある。 若となるデザインルーパの、18μm以下の世代の半導体装 【0012】本発明の目的は、短チャネル効果がより額

ット图120mとなる。

型の不能物を半導体基板設面より所定の深さに導入する 性化する。その後ゲート電極をマスクにして、第2導電 ク質項の資下に位置するよう質数させることにより、活 中の所定の深さに第1 尊和型のイオン注入領域を形成す **導の型の不純物を、ゲートの極をマスクにして半導体基** め、本発明の半導体装置の製造方法では、第1尊電型の それからこれを活性化させて第2季四型のソースおよび ことにより、第2導電型のイオン注入領域を形成する。 る。このイオン注入国域をゲート電極に対応するチャネ 板安面に対して垂直に導入することにより、半導体基板 上に位置するゲート電極を選択的に形成する。次に第1 半導体基板表面上に、ゲート絶数域およびゲート絶数域 アフムソや歩氏とい 【即昭を解決するための手段】上述の目的を選成するた

本を用の第1の実施の形態にしいて説明する。 めの断面工程図である。以下、図1および図2を用いて 接回の製造方法の第1の実施の形態について説明するた 【発明の実施の形態】図 1 および図2は本発明の半導体

d Effect Transistor) を製造する場合について説明す OSFET (N-type Metal Oxide Semiconductor Fiel 【0015】本発明の第1の疾癌の形態を用いて、NM

3からなるゲート電極150、および窒化原パターン テンシリサイド膜および窒化膜を順に形成する。そして コン基板110上に酸化膜、ポリシリコン膜、タングス 40を選択的に形成する。 これらの4層の版をパターニングしてゲート酸化版11 1、ポリシリコン112とタングステンシリサイド11 【0016】まず、図I(A)に示すように、P型シリ

入餌域120は拡散されることにより活性化されてポケ 分、熱処理を行う。この熱処理によって、P型イオン注 がる部分にまで熱拡散させるため、800~850℃で60~90 注入領域120を動作時にチャネル領域下で空を層が広 注入综合:0.07~0.10μm、ドーズ母:約1013/c㎡。 ギー:約30keY、P型シリコン基板 1 1 0の表面からの 入する不純物イオンの種類:BF2^t、イオン注入エネル の工程のパラメータおよび条件は以下の通りである。注 て、P型イオン注人領域120を形成する。図1 (A) の矢印で示すように垂直にP型の不純物イオンを注入し て、P型シリコン基板110の表面に対して図1(A) パターン114およびゲート電極150をマスクにし [0018] 次に図1 (B) に示すように、P型イオン 【0017】次に、P型シリコン基板110中に窒化板

四:對2×10¹³~5×10¹³/cm²。 基板の安面からの注入深さ:約0.04~0.07μm、ドーメ 以下の通りである。注入する不純物イオンの種類:As 形成する。図1 (C) の工程のパラメータおよび条件は 不純物イオンを注入して、N型イオン注入顕版144を 面に対して図1 (C) の矢印で示すように垂直にN型の 極150をマスクにして、P型シリコン基板110の表 [0019] 次に図1 (C) に示すように、P型シリコ ン基板110中に強化型パターン114およびゲート的 イオン注入エネルギー:約20~30keY、P型シリコン

1の寅熙に強化版からなるサイドウォールスペーサ 1.4 150、強化膜パターン140およびゲート酸化膜11 [0020] 太に図2 (A) に示すように、ゲート電極

P型シリコン基板110の装面からの注入深さ:約0.1 オンの極類:As^、イオン注入エネグギー:約50keV、 ―タおよび条件は以下の通りである。注入する不純物イ 注入領域123を形成する。図2 (A) の工程のパラメ して垂直にN型の不純物イオンを注入して、N型イオン 0をアスクにして、P型シリコン基板110の表面に対 イドウォールスペーサ141および蜜化膜パターン14 μm、ボー以即:約5×10¹⁵/cm²。 【0,021】そして、P型シリコン基板110中に、サ

題123aとなり、N型イオン注入領域144は活性化 イオン注入領域123は活性化されてソース・ドレイン おいて約10秒船処理を行う。この船処理によって、N型 [0022] 水に図2 (B) に示すように、約1000℃に

> 30を開口させる。 一工程とエッチング工程を行って、コンタクトホール! ス・ドレイン图123aの上部に、フォトリングラフィ されてLDD图144mとなる。太に、全面にSiO2などの絶験性の短間膜115を堆積させ、それからソー

オトリングラフィー工程とエッチング工程でパターニン ることも可能である。 132を形成する。最後に配線層131を堆積させてフ g) を行ってコンタクトホール内130にコンタクト題 チベックまたはCMP (Chemical Mechanical Polishin **超132を形成するため導電層を全面に堆積させ、エッ** グする。なお、コンタクト層132を配線層として用い 【0023】 次に図2 (C) に示すように、コンタクト

以111の側壁にサイドウォールスペーサ141を配し ておくことによって上記のずれに対する問題を解消でき ト竜極150、窒化膜パターン140およびゲート酸化 ト電極150上に窒化膜パターン140を、およびゲー 気的に接触し、ショートしてしまう。したがって、ゲー コンタクト層132と、露出したゲート電極150が塩 態で図2 (B) に示したコンタクトホール130に図2 四がずれた場合に生じる、ゲートជ極150の腐出を防 関ロするとき、フォトリングラフィー工程におけるマス ドレイン图123mの上郎にコンタクトホール130を オールスペーサ 1 4 1 は、図2 (B) におけるソース・ ぐ役割がある。もしも、ゲートជ極150が貸出した状 ク合わせのずれに起因して、コンタクトホールの闰口位 (C) に示したコンタクト图132を形成すると、この 【0024】なお蜜化版パターン140およびサイドウ

の半導体装置の製造方法では、ポケット周120gとな が高く、僻り合うゲート電極150同士の問隔が狭い場 不純物のイオンをゲート館画150によって遊られるこ に対して垂直に注入することが可能になるので、P型の 空之間が広がる部分に形成しなくてもいい。 したがって り十分な短チャネル効果の抑制を行うことが可能にな で空を層が広がる部分に形成することができ、これによ 合でも、ポケット層120aを動作時にチャネル領域下 となく注入できる。したがってゲート電極150の高さ P型の不純物のイオンをP型シリコン基板110の扱面 をイオン注入によって直接、動作時にチャネル領域下で 任意に設定できる。つまり、P型イオン往入領域120 ケット層となるP型イオン注入顕版120の拡散条件を ・ドレイン層123gの形成工程に影響を与えずに、ポ 23 aを形成する前に独立して無斑散するため、ソース るP型イオン注入領域120は、ソース・ドレイン图1 【0025】上近した通り、本発明の第1の実施の形態

形成工程に影響を与えることなく、形成することができ 20 a 形成の後に形成されるため、ポケット層 1 2 0 a 【0026】さらにLDD層144aは、ポケット層1

> 4.4を形成する前に独立して熱拡散することができるか 節岐120はLDD円144aとなるイオン注入頃岐1 る。これは、ボケット四120mとなるP型イオン住入

コン基板110の代わりにN型シリコン基板を用いる。 面からの注入深さ:0.07~0.10μm、ドーズは:約10¹³ OkeV、A s +の場合は約150keV、N型シリコン基板の扱 ⁺またはAs⁺、イオン注入エネルギー:P⁺の場合は約7 は以下の通りである。注入する不純物イオンの種類:P を形成する。図1 (A) の工程のパラメータおよび条件 にN型の不堪物イオンを注入して、N型イオン注入質域 域120形成のためのP型の不堪物イギン注入の代わり さらに図1(A)の工程においては、P型イオン狂入質 もよい。PMOSFETを製造する場合には、P型シリ torfield Effect Transistor)を製造する場合に用いて ETを例にして説明したが、これに限られたものではな C. PMOSFET (P-type Metal Oxide Semiconduc 【0027】本発明の第1の実施の形態ではNMOSF

を形成する。図1 (C) の工程のパラメータおよび条件 一人配:約2×10¹³~5×10¹³/cm²。 コン基板の安面からの注入深さ;約0.04~0.07μm、ド F2*、イオン注入エネルギー: 約20~30keV、N型シリ は以下の通りである。注入する不純物イオンの種類:B にP型の不規物イオンを注入して、P型イオン注入資政 イギン注入質数144形成のためのイギン注入の代わり [0028] さらに図1 (C) の工程においては、N型

にP型の不純物イオンを注入して、P型イオン注入到版 基板の設面からの注入深さ:約0.15 μm、ドーズ位:約3 イオン注入知味123形成のためのイオン注入の代わり X1015/cm2 F2^t、イオン注入エネルギー:約40keV、N型シリコン は以下の通りである。注入する不純物イオンの種類:B を形成する。図2(A)の工程のパラメータおよび条件 [0029] そして図2 (A) の工程においては、N型

[0030] その他の手順はNMOSFETの場合と同

適用することができる。 体基板の一部に半導体基板と異なる専む型の基体を形成 し、この基体の表面上に半導体装置を形成する場合にも [0031] 本実施例の半導体装置の製造方法は、半導

0と同時にパターニングして、ゲート酸化版111を形 上の做化版を、ゲート取権150や窒化版パターシ14 クステンション層を形成してもよい。このとき、不純牧 後、N型イオン注入領域144形成前に行ってもよい。 一ト酸化Q1110形成は、ポケット图120a形成 成しているが、この方法に限られるものではなく、P型 [0033] あるいはLDD图144mの代わりに、エ シリョン 胡枝 1 1 0 上の枝/DIRのパターコングによるケ [0032] また本突臨例ではP型シリコン基板110

特開平12-232078

6

0.05μm, ドーズ母: NMOSFETの場合約3×10¹⁴~ 1×10¹⁵/cm²、PMOSFETの場合約1×10¹⁴~5×10 eV、P型シリコン基板の安面からの注入深さ:約0.03~ イオンの極類:NMOSFETの場合As⁺、PMOS FETの場合BF2*、イオン江入エネルギー:約5~104 イオン注入の条件は以下の通りである。注入する不純物

第2の実践の形態について説明する。 工程図である。以下、図3および図4を用いて本発明の 造方法の第2の実施の形態について説明するための断面 [0034] 図3および図4は本発明の半導体装置の製

OSFETを製造する場合について説明する。 [0035] 本発明の第2の実施の形態を用いて、NM

テンシリサイド収および蜜化版を順に形成する。そして 3からなるゲート包括250、および遊化版パターン2 コン基板210上に酸化板、ポリシリコン板、タングス 40を選択的に形成する。 1、ポリシリロン212とタングステンシリサイド21 [0036]まず、図3(A)に示すように、P型シリ - 146の4階の頃をパターニングしてゲート板記録2~

64 m堆積させる。外部拡散防止用数242の数算は、 おいて做化版などの外部拡散防止用版242を0.03~0. 年入録さ:0.07~0.10μm、ドース급:約10¹³/cm²。 ギー:前30keY、P型シリコン構版210の政団からの 入する不純物イオンの種類:BF2^t、イオン注入エネル の工程のパラメータおよび条件は以下の通りである。注 の矢印で示すように垂直にP型の不純物イオンを注入し パターン214およびゲート位極250をマスクにし 【0038】 次に図3 (B) に示すように、約700℃に て、P型イオン注入関域220を形成する。図3(A) て、P型シリコン基板210の安面に対して図3(A) 【0037】 水に、P型シリコン基板210中に強化版

活性化されてポケット圏220mとなる。 がる部分に位置するように熱拡散させるため、800~850 注入領域220を動作時にチャネル領域下で空乏層が広 て、F型イオン注入領域220は拡散されることにより でにおいて60~90分、熟処理を行う。この熟処理によっ 【0039】 大に図3 (C) に示すように、P型イオン

しない程度に設定されている。

オンが熱処理時、P型シリコン基板210の外部に拡散 P型イオン注入収載220中に含まれるP型の不純物イ

通りである。注入する不純物イオンの種類:Ast、イ オンを注入して、N型イオン注入ff収244を形成す ギン在入エネグギー:約20~30keV、P型シリコン胡板 る。図3 (D) の工程のペラメータおよび条件は以下の 10中に強化膜パターン214およびゲート配極250 て図3 (D) の矢印で示すように垂直にN型の不純物イ をアスクにして、P型シリコン基板210の表面に対し 止用収242を取り除へ。それからP型シリコン基板2 【0040】 太に図3 (D) に示すように、外部拡散的

> の装面からの注入深さ:約0.04~0.07μm、ドーズ量: 約2×1013~5×1013/cm2。

250、選化膜パターン240およびゲート酸化膜21 1の原型に強化膜からなるサイドウォールスペーサ24 [0041] 次に図4(A)に示すように、ゲート電板

P型シリコン基板210の表面からの注入探さ:約0.1 注入類域223を形成する。図4(A)の工程のパラメ して垂直にN型の不模物イオンを注入して、N型イオン 0をマスクにして、P型シリコン基板210の表面に対 # B. ドース間: 約5×10¹⁵/cm²c オンの喧駁:A s t、イオン注入エネルギー:約50keV, 一タおよび条件は以下の通りである。 注入する不純物イ イドウォールスペーサ241および強化駅パターン24 [0042] そして、P型シリコン基板210中に、サ

題223aとなり、 N型イオン注入領域244は活性 2などの絶縁性の層間膜215を堆積させ、それからソ 4一工程とエッチング工程を行って、コンタクトホール ース・ドレイン層223gの上部に、フォトリングラフ 化されてLDD暦244aとなる。次に、全面にSiO イオン注入関域223は活性化されてソース・ドレイン おいて約10岁熱処理を行う。この熱処理によって、N型 [0043] 次に図4 (B) に示すように、約1000℃に

0にコンタクト層232を形成する。最後に配線層23 慰232を形成するため導電圏を全面に堆積させ、エッ 紀線層として用いることも可能である。 工程でパターニングする。なお、コンタクト層232を チバックまたはCMPを行ってコンタクトホール内23 【0044】次に図4(C)に示すように、コンタクト 1 を堆積させてフォトリングラフィー工程とエッチング

気的に接触し、ショートしてしまう。したがって、ゲー 糖で図4 (B) に示したコンタクトホール230に図4 ク合わせのずれに低因して、コンタクトホールの開口位 関ロするとき、フォトリングラフィー工程におけるマス ておくことによって上記のずれに対する問題を解消でき ト低極250、強化膜パターン240およびゲート酸化 ト電極250上に窒化膜パターン240を、およびゲー コンタクト層232と、韓出したゲート電極250が粗 ぐ役割がある。もしも、ゲート范権250が韓出した状 置がずれた場合に生じる、ゲート電極250の露出を訪 ドワイン图223gの上街にコンタクトホール230を オールスペーサ241は、図4(B)におけるソース・ (C) に示したコンタクト層232を形成すると、この 【0045】なお強化膜パターン240およびサイドウ

の半導体装置の製造方法では、ポケット層220gとな るP型イオン注入資政2011、ソース・ドワイン图2 【0046】上述した通り、本発明の第2の実施の形態

> 合でも、ポケット層220gを動作時にチャネル領域下 り十分な短チャネル効果の抑制を行うことが可能にな が高く、降り合うゲート電極250同士の問隔が狭い場 となく注入できる。したがってゲート電極250の高さ 不堪物のイヤンをゲート組織250によって組られるこ に対して垂直に注入することが可能になるので、P型の 任意に設定できる。つまり、P型イオン注入領域220 で空之層が広がる部分に形成することができ。これによ P型の不規物のイオンをP型シリコン基板210の表面 空や層が広がる部分に形成しなくてもいい。 したがって をイオン注入によって直接、動作時にチャネル蝦袋下で ケット層となるP型イオン注入質疑220の拡張条件を ・ドレイン路2238の形成工程に影響を与えずに、ポ

20a形成の後に形成されるため、ポケット層220a 4.4を形成する前に独立して熱拡散することができるか 領域220はLDD層244mとなるイオン往入領域1 る。つまり、ポケット層220gとなるP型イオン往入 形成工程に影響を与えることなく、形成することができ 【0047】 さらにLDD版244aは、ポケット版2

オン注入領域220中の不純物イオンが外部拡散防止用 に示したP型イオン柱入領域220を熱拡破によって括 リコン基板210の外に拡散していくことを防ぐことが **数242に海斑されるので、この不堪物イギンボP型シ** 性化させてポケット圏220a を形成するとき、P型イ 用膜242の堆積工程を有することにより、図3 (C) 【0048】さらに、図3 (B) に示した外部拡散防止

ある。注入する不純物イオンの種類:P+またはAst、 場合は約150keV、N型シリコン基板の表面からの往入深 3 (A) の工程のパラメータおよび条件は以下の通りで イオンを注入して、N型イオン注入領域を形成する。図 形成のためのP型のイオン注入の代わりにN型の不頼も 210の代わりにN型シリコン基板を用いる。さらに図 ETを例にして説明したが、これに限られたものではな さ:0.07~0.10µm、ドース弦:約10¹³/cm²。 イオン注入エネルギー: P+の場合は約70keV、A s+の 3 (A) の工程においては、P型イオン在入前域220 PMOSFETを製造する場合には、P類シリコン基板 く、PMOSFETを製造する場合に用いてもよい。 【0049】本発明の第2の実施の形態ではNMOSF

は以下の通りである。注入する不純物イオンの種類:B F2^t、イオン在入エネルギー:約20~30keV、N短シリ を形成する。図3 (D) の工程のパラメータおよび条件 にP型の不能物イオンを注入して、P型イオン注入領域 イオン注入領域244形成のためのイオン注入の代わり コン基板の表面からの注入深さ:約0.04~0.07μm、ド 【0050】 さらに図3 (D) の工程においては、N型

23 a を形成する前に独立して熟拡散するため、ソース ーズ肚:約2×10¹³~5×10¹³/cm²。

基板の安面からの注入深さ:約0.15μm、ドーズ品:約3 F2[†]、イオン注入エネルギー:約40keV、N型シリコン にP型の不純物イオンを注入して、P型イオン注入質域 は以下の通りである。注入する不英物イオンの複数:B を形成する。図4 (A) の工程のパラメータおよび条件 イオン注入領域223形成のためのイオン注入の代わり [0051] そして図4 (A) の工程においては、N型

【0052】その他の手頃はNMOSFETの場合と同

使うことができる。 体基板の一部に半導体基板と異なる導電型の基体を形成 し、この基体の変面上に半導体装置を形成する場合にも [0053] 本実施例の半導体装置の製造方法は、半導

取り除くときに行ってもよい。 成しているが、この方法に限られるものではなく、P型 0と同時にパターコングして、ゲート酸化版211を形 一ト酸化酸211の形成は、外部拡散防止用酸242を シリロン規模 210上の数代数のパターコングによるゲ 上の舷光版を、ゲート低版250や弦化版パターン24 【0054】また本実施例ではP型シリコン基板210

0.05 μm、ドーズ母: NMOSFETの場合約3×10¹⁴~ ey、P型シリコン基板の安面からの注入探さ:約0.03~ FETの場合BF2[†]、イオン注入エネルギー:約5~10k イオンの極質:NMOSFETの場合As⁺、PMOS 1×10¹⁵/cm²、PMOSFETの場合約1×10¹⁴~5×10 イオン住入の条件は以下の通りである。注入する不能物 クステンション層を形成してもよい。このとき、不純物 [0055] あるいはLDD图244aの代わりに、エ

工程図である。以下、図5および図6を用いて本発明の 第3の実施の形態について説明する。 造方法の第3の実施の形態について20男するための財油 [0056] 図5および図6は本発明の半導体装置の製

SFETを製造する場合について説明する。 【0057】本発明の第3の実施の形態を用いてNMO

3からなるゲート電板350、および変化版パターン3 これらの4層の版をパターニングしてゲート酸化版31 デンシリサイド認および蜜化原を順に形成する。そして コン基板310上に位化版、ポリシリコン版、タングス 40を遊択的に形成する。 1、ポリシリコン312とタングステンシリサイド31 【0058】まず、図5 (A) に示すように、P型シリ

の工程のパラメータおよび条件は以下の通りである。往 て、P型イオン注入質域320を形成する。図5(A) の矢印で示すように垂直にP型の不純物イオンを拄入し て、P型シリコン基板310の表面に対して図5 (A) パターン314およびゲート位極350をマスクにし 【0059】水に、P型シリコン基板310中に窯化器

入する不純物イオンの룝類:BF2[†]、イオン住入エネル

取り除くときに行ってもよい。

に含まれるP型の不規物イオンの外部拡散防止およびボ 領域320を拡散させることにより活性化させてポケッ が、P型シリコン基板310の外部に拡散しない程度の 5 (B) に示す工程にて、P型イオン住入領域320中 ある外部拡散防止用限342も形成される。つまり、図 し、抜けて800~850℃に追収を上げて、P型イオン注入 温度として例えば700℃で、から酸素雰囲気中で熱処理 往入環さ:0.07~0.10μm、ドースは:約10¹³/cm²。 キー: #330keV、P型シリコン基板310の設価からの ケット暦320g形成を連続して行う。 ・ ト暦320aを形成する。この際、例えばSiO2版で オン住入国域320中に含まれるP型の不純物イオン [0060] 大に図5 (B) に示すように、まずP型イ

の安面からの注入深さ: 約0.04~0.07μm、ドーズ音: オン注入エネルギー: 約20~30keV、P型シリコン基板 る。 図5 (C) の工程のパラメータおよび条件は以下の をマスクにして、P型シリコン基板310の設面に対し 约2×10¹³~5×10¹³/cm²。 通りである。注入する不純物イオンの種類:As^、イ オンを注入して、N型イオン注入領域344を形成す て図5 (C)の矢印で示すように垂直にN型の不純物イ 10中に強化版パターン314およびゲート位極350 止用版342を取り除く。それからP型シリコン基板3 [0061] 太に図5 (C) に示すように、外部拡散的

350、窒化収パターン340およびゲート酸化収31 1の国現に強力数からなるサイドウォーテスペーサ3.4 【0062】 太に図6 (A) に示すように、ゲート選幅

P型シリコン基板310の設面からの注入深さ:約0.1 キンの種類:As^、イギン注入ドネラチー:約50keN ータおよび条件は以下の通りである。 注入する不純物イ して垂直にN型の不模物イオンを注入して、N型イオン μm、ドース段:約5×10¹⁵/cm²。 注人関域323を形成する。図6(A)の工程のパラメ 0をアスクにして、P型シリコン基板310の設面に対 イドウォールスペーサ341および室化膜パターン34 【0063】そして、P型シリコン基板310中に、サ

2などの絶縁性の囹圄瞑315を堆積させ、それからソ 図323mとなり、 N型イオン注入関域344は活性 おいて約10秒熱処理を行う。この熱処理によって、N型 330を開口させる。 イー工程とエッチング工程を行って、コンタクトホール ース・ドレイン層323mの上部に、フォトリングラフ 化されてLDD層344mとなる。 水に、全面にSiC イオン狂入四級323は店在代されたソース・ドライン 【0064】 次に図6 (B) に示すように、約1000℃に

図332を形成するため専10層を全面に堆積させ、エッ チベックまたはCMPを行ってコンタクトホール内33 [0065] 次に図6(C)に示すように、コンタクト

> 1を堆積させてフォトリングラフィー工程とエッチング 配規陷として用いることも可能である。 工程でパターニングする。 なお、コンタクト層332を 0にコンタクト图332を形成する。最後に配線图33

様で図6(B)に示したコンタクトホール330に図6 置がずれた場合に生じる、ゲート電極350の腐出を防 ク合わせのずれに起因して、コンタクトホールの別口位 開口するとき、フォトリングラフィー工程におけるマス ておくことによって上記のずれに対する問題を解消でき 膜 3 1 1 の側頭にサイドウォールスペーサ 3 4 1 を配し ト電極350、強化膜パターン340およびゲート酸化 気的に接触し、ショートしてしまう。したがって、ゲー コンタクト局332と、露出したゲート電極350が電 ぐ役割がある。もしも、ゲート駐極350が露出した状 ドレイン暦323mの上部にコンタクトホール330を ォールスペーサ341は、図6(B)におけるソース・ ト塩極350上に変化膜パターン340を、およびゲー (C) に示したコンタクト数332を形成すると、この 【0066】 なお変化原パターン 340およびサイドウ

り十分な短チャネル効果の抑制を行うことが可能にな 合でも、ポケット图320gを動作時にチャネル領域下 任意に設定できる。つまり、P型イオン往入窗域320 の半導体装置の製造方法では、ポケット層320gとな で空と思が広がる部分に形成することができ。これによ が高く、舞り合うゲート電極350同士の間隔が狭い場 不純物のイオンをゲート電極350によって遊られるこ に対して垂直に注入することが可能になるので、P型の 空を層が広がる部分に形成しなくてもいい。したがって をイオン注入によって直接、動作時にチャネル領域下で ケット燈となるP型イオン注入領域320の拡散条件を るP型イオン注入領域320は、ソース・ドレイン图3 となく注入できる。したがってゲート低極350の高さ P型の不純物のイオンをP型シリコン基板 3 1 0 の扱面 23aを形成する前に独立して熟拡散するため、ソース 【0067】上述した通り、本曼明の第3の実施の形態 ・ドレイン图323aの形成工程に影響を与えずに、ポ

4.4を形成する前に独立して熟拡散することができるか 類域 3 2 0はLDD B 3 4 4 a となるイオン注入領域 3 る。つまり、ポケット圏320aとなるP型イオン注入 形成工程に影響を与えることなく、形成することができ 20a形成の後に形成されるため、ポケット層320a [0068] さらにLDD図344aは、ポケット图3

層320aを形成するとき、P型イオン注入領域320 中の不純物イオンが外部拡散防止用膜342に遮断され 往入額域320を熱拡接によって活性化させてポケット 用版342の堆積工程を有することにより、P型イオン 【0069】さらに、図5 (B) に示した外部拡散防止

めのた、この不純物イオンがP型シリコン基板310の

形成工程を簡単にできる。

BF2^t、イオン注入エネルギー:約40keV、N型シリコ 域を形成する。図6(A)の工程のパラメータおよび名 ン基板の安面からの注入探さ:約0.15μm、ドーズ位: 件は以下の通りである。往入する不純物イオンの種類: りにP型の不純物イオンを注入して、P型イオン注入領 イオン注入領域323形成のためのイオン注入はの代わ

し、この基体の設面上に半導体装置を形成する場合にも 体基板の一部に半導体基板と異なる導性型の基体を形成

成しているが、この方法に限られるものではなく、P型 0と同時にパターニングして、ゲート酸化膜311を形 一ト酸化膜311の形成は、外部拡散筋止用膜342を シリコン基板310上の酸化酸のパターコングによるケ 上の敵化膜を、ゲート館極350や窓化膜パターン34 【0075】また本実施例ではP型シリコン基板310

して行うため、本発明第2の実施例よりもMOSFET 止用膜342形成およびポケット層320a 形成を連続 型イオン注入領域320中の不純物イオンの外部拡張的 外に拉板していくことを防ぐことができる。さらに、P

クステンション燈を形成してもよい。このとき、不純物

[0076] あるいはLDD图344aの代わりに、エ

イオン注入の条件は以下の通りである。注入する不純物

FETの場合BF2[†]、イオン注入エネルギー:約5~10k イオンの種類:NMOSFETの場合Ast、PMOS

As⁺、イオン注入エネルギー: P⁺の場合は約70keV 通りである。注入する不純物イオンの極類:P+または 植物イオンを注入して、N型イオン注入領域を形成す 形成のためのP型のイオン注入では、代わりにN型のA 310の代わりにN型シリコン基板を用いる。さらに図 る。図5 (A) の工程のパラメータおよび条件は以下の 5 (A) の工程においては、P型イオン往入領域320 PMOSFETを製造する場合には、P型シリコン基板 く、PMOSFETを製造する場合に用いてもよい。 ETを例にして説明したが、これに限られたものではな 【0070】本発明の第3の実協の形態ではNMOSF

BF2⁺、イオン注入エネルギー:約20~30keV、N型シ リコン基板の表面からの注入深さ:約0.04~0.07μm、 域を形成する。図5(C)の工程のパラメータおよび条 イオン注入領域344形成のためのイオン注入は、代わ の注入森さ:0.07~0.10μm、ドーズ母:約10¹³/cm²。 ドース年: 約2×1013~5×1013/cm2。 件は以下の通りである。注入する不純物イオンの種類 りにP型の不純物イオンを注入して、P型イオン注入節 [0071] さらに図5 (C) の工程においては、N型 As+の場合は約150keV、N型シリコン基板の表面から

[0072] そして図6 (A) の工程においては、N型

[0073] その他の手順はNMOSFETの場合と同

使うことができる。 【0074】本実施例の半導体装置の製造方法は、半導

14/2

[0077]

0.05μm、ドーズ欧: NMOSFETの場合約3×10¹⁴~

1×10¹⁵/cm²、PMOSFETの場合約1×10¹⁴~5×10 eV、P型シリコン基板の設面からの注入数さ:約0.03~

示すものである。 【図1】本発明の第1の実施例の工程その1を断面図で も、確実にポケット層を形成することができる。 |図面の簡単な説明|

デザインルール0.18μm程度以下の世代の半導体装置で を用いることにより、MOSFET形成において、斜め

イオン注入によるポケット層の形成が困難になってへる

【発明の効果】以上説明したように本発明の実施の形態

示すものである。 【図2】 本発明の第1の実施例の工程その2を断面図で

示すものである。 【図3】本発明の第2の実施例の工程その1を断面図で

示すものである。 示すものである。 【図4】 本発明の第2の実施例の工程その2を断面図で 【図5】本発明の第3の実施例の工程その1を断面図で

示すものである。 【図6】 本発明の第3の実施例の工程その2を断面図で

【図7】 従来の工程その1を断面図で示すしのである。 【符号の説明】 【図8】従来の工程その2を断面図で示すものである。

110:P型ション馬板

111:ゲート做化版

112:ボリシリコン

113:タングステンシリサイド

1 1 5 : 層間膜

120:P型イオン注入製版

123:N型イオン注入貿域 120a:ポケット的

130:コンタクトホール 123 a:ソース・ポワイン函

131:配数图

132:コンタクト層

140:強化膜パターン

141:サイドウォークスペーキ

BEST AVAILABLE COPY